

④ 日本国特許庁(JP)

⑤ 特許出願公開

⑥ 公開特許公報(A) 平1-236494

⑦ Int. Cl.⁴ 識別記号 庁内整理番号 ⑧ 公開 平成1年(1989)9月21日
G 11 C 11/34 3 1 5 8522-5B
H 03 K 5/13 1 0 1 7631-5J
19/00 N-8326-5J
19/038 8326-5J 審査請求 未請求 請求項の政 3 (全13頁)

⑨ 発明の名称 半導体集積回路装置

⑩ 特 願 昭63-64088

⑪ 出 願 昭63(1988)3月17日

⑫ 発 明 者 光 本 欽 哉 東京都青梅市今井232番地 株式会社日立製作所デバイス
開発センタ内

⑬ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑭ 代 理 人 弁理士 都 野 光 政

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. その選送時間が所定のパルス又は外部端子から供給される選択制御信号によって変化する選送回路を具備することを特徴とする半導体集積回路装置。

2. 上記選送回路は、所定の入力信号をもとに上記入力信号に対して所定の時間間隔を有する所定の時間幅を持つ出力信号を形成するパルス発生回路に含まれるものであり、直列形態とされる複数の単位選送回路により構成されるものであって、上記パルス発生回路は、さらに上記選択制御信号をデコードして対応する選択信号を統一的に形成するデコードと、上記選択信号によって対応する上記単位選送回路の出力信号を選択的に伝達する出力選択回路とを含むものであることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 上記半導体集積回路装置は、バイポーラRAMを基本構成とする抽選記憶付メモリであり、上記パルス発生回路は、上記抽選記憶付メモリのタイミング発生回路に含まれるものであって、上記出力信号は、上記バイポーラRAMのライトアップに供給される書き込みパルスであることを特徴とする特許請求の範囲第1項又は第2項記載の半導体集積回路装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体集積回路装置に関するもので、例えば、バイポーラRAMを基本構成とする抽選記憶付メモリ等に利用して特に有効な技術に関するものである。

(従来の技術)

バイポーラトランジスタからなるメモリセルが格子状に配置されてなるメモリアレイを基本構成とするバイポーラRAMがある。また、このようなバイポーラRAMを基本構成とする抽選記憶付メモリがある。

バイポーラRAMについては、例えば、特開昭58-80487号公報等に記述されている。
(発明が解決しようとする問題)

上記に記述されるようなバイポーラRAMは、ライトアップを含む。ライトアップは、上記メモリアレイを構成する相対データ線に対応して設けられる複数の単位回路を含む。これらの単位回路は、タイミング発生回路から供給される書き込みパルスに従って選択的に動作状態とされ、メモリアレイの選択された複数のメモリセルに対する書き込み動作を行う。

上記バイポーラRAMを含む記憶装置ノメモリでは、外部から入力される書き込み制御信号すなわちライトイネーブル信号WBが、その書き込みパルスとしてライトアップに供給される。このため、ライトイネーブル信号WBは、アドレス信号や入力書き込みデータ等に対して所定のセットアップ時間を有しかつライトアップが安定して動作するだけの所定のパルス幅を有するものでなくてはならない。ライトイネーブル信号WBに

対するこれらのタイミング条件は、記憶装置ノメモリが高速化されそのサイクルタイムが短縮化されるに従って次第に厳しくなり、実用困難なものとなりつつある。

これに対処するため、本発明者等は、その入力動作をクロック信号によって同期化し、上記タイミング条件を満足する書き込みパルスを内部で自律的に形成する記憶装置ノメモリを開発した。この記憶装置ノメモリは、タイミング発生回路を含む、このタイミング発生回路は、上記クロック信号をもとに、所定のセットアップ時間を持ちかつ所定のパルス幅を持つ書き込みパルスをライトイネーブル信号WBに従って選択的に形成する書き込みパルス発生回路を含む。

しかし、このような記憶装置ノメモリにはさらに次のような問題点があることが、本発明者等によって明らかとなった。すなわち、記憶装置ノメモリの上記書き込みパルス発生回路には、クロック信号を遅延させそのパルス幅を拡張することによって上記セットアップ時間及びパルス幅を満足する

ための複数の遅延回路を含む。これらの遅延回路は、記憶装置ノメモリの設計段階で行われるシミュレーション等によって、上記タイミング条件を満足するような所定の遅延時間を持つように、その回路定数が決定される。ところが、現状ではシミュレーションの精度が充分でないことから、製造された記憶装置ノメモリの遅延回路が的確に予測通りの安定した遅延時間を持つようにすることは困難である。このため、予め調整用の遅延回路をいくつか用意し、製造用のマスクを変更してこれらの遅延回路を選択的に切り換え接続することで、所定の遅延時間を得る方法が採られる。このことは、記憶装置ノメモリ等の開発期間を増大させるとともに、量産工程における製品の歩留りを低下させる原因となるものである。

この発明の目的は、その遅延時間を調整しうる遅延回路を提供することにある。この発明の他の目的は、遅延回路を含む記憶装置ノメモリ等の開発期間を短縮し、その量産工程における製品の歩留りを高めることにある。

この発明の発明ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

(問題を解決するための手段)

本発明において開示される発明のうち代表的なものの特徴を簡単に説明すれば、下記の通りである。すなわち、記憶装置ノメモリの書き込みパルス発生回路等に含まれる遅延回路を、直列接続とされる複数の単位遅延回路によって構成し、これらの単位遅延回路の出力信号を選択信号に従って選択的に伝達する出力選択回路と、所定の選択制御信号をデコードして上記選択信号を単一的に形成するデコーダとを設けるものである。

(作 用)

上記した手段によれば、半製品あるいは製品完成後において、バッファ又は外部端子から上記選択制御信号を供給することで、マスク等の変更を必要とすることなく、遅延回路の遅延時間を調整することができる。これにより、記憶装置ノメモリ等の開発期間を短縮し、またその製品の歩留りを高

めることができる。

【実施例】

第4図には、この発明が適用された協定記憶付メモリの一例のブロック図が示されている。この実施例の協定記憶付メモリは、特に制限されないが、バイポーラRAMを基本構成とし、図示されない協定部を含む。第4図の各ブロックを構成する回路素子は、協定記憶付メモリの図示されない協定部を構成する回路素子とともに、特に制限されないが、単結晶シリコンのような1個の半導体基板上に形成される。

この実施例の協定記憶付メモリは、伝送するように、メモリアレイMARRYとライトアンプWA及びタイミング発生回路TCを含む。このうち、タイミング発生回路TCは、伝送するように、外部端子を介して供給されるクロック信号CK及びライトイネーブル信号WBによって所定のセットアップ時間及びパルス幅を有する書き込みパルスすなわちタイミング信号 ϕ_{wc} を自律的に形成し、ライトアンプWAに供給する書き込みパルス発生

回路を含む。書き込みパルス発生回路は、それぞれ直列形成とされる複数の単位遅延回路からなる2組の遅延回路DL1; DL2と、各単位遅延回路の出力信号を選択信号 ϕ_{0-1} あるいは ϕ_{2-3} によって選択的に伝送する出力選択回路SL1; SL2を含む。書き込みパルス発生回路には、さらに外部端子を介して供給される選択制御信号すなわちパルス選択信号 $\phi_{WS0-WS3}$ 及びセットアップ時間選択信号 ϕ_{S0}, ϕ_{S1} をデコードし、上記選択信号 ϕ_{0-1} 及び ϕ_{2-3} を形成するデコードDEC1及びDEC2が含まれる。これにより、この実施例の協定記憶付メモリは、半導体又は部品完成後において、書き込みパルス発生回路に含まれる遅延回路DL1及びDL2の遅延時間を、マスク変更を必要とすることなく調整でき、そのパルス幅及びセットアップ時間を最適化することができる。

第4図において、メモリアレイMARRYは、特に制限されないが、同図の水平方向に平行して配列される $m+1$ 本のワード線と、垂直方向に平行

して配列される $n+1$ 組の相補データ線及びこれらのワード線と相補データ線の交点に接点状に配列される $(m+1) \times (n+1)$ 個のバイポーラメモリセルを含む。

メモリアレイMARRYを構成するワード線は、アドレスデコードADに結合され、同一的に選択状態とされる。

アドレスデコードADには、アドレスバッファADBから、内部アドレス信号 ϕ_{0-1} が供給される。これらの内部アドレス信号は、特に制限されないが、選択信号及び反転信号からなる相補信号とされる。アドレスデコードADには、さらにタイミング発生回路TCから、タイミング信号 ϕ_{wc} が供給される。

アドレスデコードADは、上記タイミング信号 ϕ_{wc} がハイレベルとされることで、選択的に動作状態とされる。この動作状態において、アドレスデコードADは、上記内部アドレス信号 ϕ_{0-1} をデコードし、メモリアレイMARRYの対応するワード線を同一的に選択状態とする。

アドレスバッファADBは、特に制限されないが、外部端子を介して供給される1+1ビットのアドレス信号 ϕ_{0-1} を取り込み、保持する。また、これらのアドレス信号 ϕ_{0-1} をもとに、上記内部アドレス信号 ϕ_{0-1} を形成し、アドレスデコードADに供給する。

一方、メモリアレイMARRYを構成する相補データ線は、その一方において、ライトアンプWAの対応する単位回路にそれぞれ結合され、またその他方において、リードアンプRAの対応する単位回路にそれぞれ結合される。

ライトアンプWAは、特に制限されないが、メモリアレイMARRYの各相補データ線に対応して設けられる $n+1$ 個の単位回路を含む。これらの単位回路には、データ入力バッファDIBから対応する内部書き込みデータ ϕ_{i0-1} がそれぞれ供給される。また、タイミング発生回路TCから書き込みパルスすなわちタイミング信号 ϕ_{wc} が共通に供給される。タイミング信号 ϕ_{wc} は、伝送するように、協定記憶付メモリが非選択状態

とされるときローレベルとされ、論理高レベルメモリが書き込みモードで選択状態とされるとき、所定のタイミングで所定の期間だけ一時的にハイレベルとされる。

ライトアンプWMAの各単位回路は、上記タイミング信号 ϕ_{00} がハイレベルとされることで、選択的に動作状態とされる。この動作状態において、ライトアンプWMAの各単位回路は、データ入力バッファDOBから供給される内部書き込みデータ $d_{00} \sim d_{0n}$ に従った相補書き込み信号を形成し、メモリアレイMEMORYの対応する相補データ線に供給する。これらの書き込み信号は、対応する相補データ線を介して、メモリアレイMEMORYの選択されたワード線に結合される $n+1$ 個のメモリセルにそれぞれ伝達される。

データ入力バッファDOBは、特に制限されないが、外部端子を介して供給される $n+1$ ビットの入力データ $D_{00} \sim D_{0n}$ を取り込み、保持する。また、これらの入力データ $D_{00} \sim D_{0n}$ をもとに、上記内部書き込みデータ $d_{00} \sim d_{0n}$

を形成し、ライトアンプWMAの対応する単位回路にそれぞれ供給する。

ライトアンプRMAは、メモリアレイMEMORYの選択されたワード線に結合される $n+1$ 個のメモリセルから対応する相補データ線を介して出力される読み出し信号を増幅し、内部読み出しデータ $d_{r0} \sim d_{rn}$ を形成する。これらの内部読み出しデータ $d_{r0} \sim d_{rn}$ は、データ出力バッファDOBの対応する出力回路に供給される。

データ出力バッファDOBは、特に制限されないが、 $n+1$ 個の出力回路を含む。これらの出力回路には、ライトアンプRMAから、対応する内部読み出しデータ $d_{r0} \sim d_{rn}$ がそれぞれ供給されるとともに、タイミング発生回路TCからタイミング信号 ϕ_{00} が共通に供給される。

データ出力バッファDOBの各出力回路は、上記タイミング信号 ϕ_{00} が一時的にハイレベルとされることで、選択的に動作状態とされる。この動作状態において、データ出力バッファDOBの各出力回路は、対応する上記内部読み出しデータ

$d_{r0} \sim d_{rn}$ をもとに、出力データ $D_{00} \sim D_{0n}$ を形成し、外部端子を介して送出する。上記タイミング信号 ϕ_{00} がローレベルとされるとき、データ出力バッファDOBの各出力回路の出力はハイインピーダンス状態とされる。

タイミング発生回路TCは、特に制限されないが、外部端子を介して供給されるクロック信号CK及びライトイネーブル信号WEをもとに、上記各線のタイミング信号を形成し、各回路に供給する。タイミング発生回路TCは、上記タイミング信号 ϕ_{00} を形成する書き込みパルス発生回路を含む。この書き込みパルス発生回路は、前述のように、複数の単位遅延回路が直列形成とされてなる2個の遅延回路DL1及びDL2を含む。これらの遅延回路の遅延時間は、外部端子を介して供給されるパルス幅選択信号WS0～WS2及びセットアップ時間選択信号SS0、SS1に従って選択的に変化される。

第1図には、第4図の論理構成メモリモジュールのタイミング発生回路TCの一実施例の回路図が示され

ている。また、第2図及び第3図には、第1図のタイミング発生回路TCに含まれる単位遅延回路DL1及び遅延ゲート回路DG1の一実施例の回路図が示されている。これらの図に従って、この実施例の論理構成メモリモジュールのタイミング発生回路TCに含まれる書き込みパルス発生回路の具体的な構成と動作の概要を説明する。なお、第1図には、タイミング発生回路TCのうち、書き込みパルス発生回路とその関係回路が部分的に示されているが、タイミング発生回路TCの他の回路については、この説明と直接関係がないので、説明を省略する。以下の図において、図示されるバイポーラトランジスタは、すべてNPN型トランジスタである。

第1図において、外部端子を介して入力されるクロック信号CKは、オフゲート回路OC1の一方の入力端子に供給されるとともに、フリップフロップ回路FF1のクロック入力端子Cに供給される。オフゲート回路OC1の他方の入力端子には、アンダーゲート回路AC1の出力信号が供給さ

れる。アンドゲート回路AC1の一方の入力端子には、内部制御信号100が供給され、その他方の入力端子には、伝送するオアゲート回路OC3の反転出力信号5が供給される。オアゲート回路OC1の出力信号は、パルス延滞回路PWEの入力端子に供給される。ここで、クロック信号CKは、特に制限されないが、ECレベルとされ、所定の回路で所定の期間だけ一時的にハイレベルとされる。また、内部制御信号100は、特に制限されないが、この論理回路メモリが通常の動作モードとされるとロウレベルとされ、論理回路メモリが所定の試験モードとされると高レベル的にハイレベルとされる。

これらのことから、論理回路メモリが通常の動作モードとされると、外部端子を介して供給されるクロック信号CKが、オアゲート回路OC1を介してパルス延滞回路PWEに伝送される。また、論理回路メモリが所定の試験モードとされると内部制御信号100がハイレベルとされると、オアゲート回路OC3の反転出力信号5

が、アンドゲート回路AC1及びオアゲート回路OC1を介してパルス延滞回路PWEに伝送され、パルス延滞回路PWE及び遅延回路DL1を含む回路ループが形成される。

外部端子を介して供給されるライトイネーブル信号WEは、上記フリップフロップ回路FF1のデータ入力端子Dに供給される。フリップフロップ回路FF1のクロック入力端子Cには、前述のように、クロック信号CKが供給される。これにより、フリップフロップ回路FF1は、上記クロック信号CKによってトリガされ、上記ライトイネーブル信号WEを取り込む。ライトイネーブル信号WEは、特に制限されないが、論理回路メモリが書き込みモードとされると、高レベル的にハイレベルとされる。フリップフロップ回路FF1の出力信号は、書き込みモード信号すなわち内部制御信号100として、タイミング発生回路TCの各回路に供給される。

一方、選択制御信号として外部端子を介して供給される3ビットのパルス延滞信号WS0〜W

S2は、デコードDEC1に入力される。デコードDEC1は、上記パルス延滞信号WS0〜WS2をデコードし、対応する選択信号0〜2を統一的にハイレベルとする。これらの選択信号は、伝送する遅延回路DL1の対応する遅延ゲート回路DC1〜DC3の制御入力端子にそれぞれ供給される。

同様に、選択制御信号として外部端子を介して供給される3ビットのセットアップ時間選択信号SS0及びSS1は、デコードDEC2に供給される。デコードDEC2は、上記セットアップ時間選択信号SS0及びSS1をデコードし、対応する選択信号0〜1を統一的にハイレベルとする。これらの選択信号は、伝送する出力選択回路SEL2の対応するアンドゲート回路AG1〜AG5にそれぞれ供給される。

パルス延滞回路PWEは、特に制限されないが、オアゲート回路OC1を介して供給されるクロック信号CK等を所定の時間だけ延滞させ、かつそのパルス幅を約3倍程度に拡張する。パルス延滞

回路PWEの非反転出力信号01及び反転出力信号02は、遅延回路DL1を構成する単位遅延回路DC1の非反転入力端子I及び反転入力端子Iに供給されるとともに、オアゲート回路OC3の第1の入力端子に供給される。

遅延回路DL1は、特に制限されないが、その非反転出力端子0及び反転出力端子2と非反転入力端子I及び反転入力端子Iが順次結合されることによって直列形成とされる4個の単位遅延回路DC1〜DC4ならびに8個の遅延ゲート回路DC1〜DC8により構成される。

単位遅延回路DC1〜DC4は、第1図の単位遅延回路DC1に代表して示されるように、一対の差動トランジスタT1・T2を基本構成とする。このうち、トランジスタT1のコレクタは、ノーフォロとされ、対応する負荷抵抗R1を介して回路の接地電位に結合される。同様に、トランジスタT2のコレクタは、ノーフォロとされ、対応する負荷抵抗R2を介して回路の接地電位に結合される。差動トランジスタT1・T2の共通結合さ

れたエミッタと回路の電源電圧との間には、定電流源131が設けられる。ここで、回路の電源電圧は、特に制限されないが、所定の負の電源電圧とされる。トランジスタ1及び2のベースは、それぞれこの単位遅延回路DC1の非反転入力端子1及び反転入力端子2とされる。

トランジスタ1のコレクタは、さらにトランジスタ4のベースに共通結合される。また、トランジスタ1のコレクタと回路の接地電位との間には、キャパシタC1が設けられる。同様に、トランジスタ2のコレクタは、さらにトランジスタ3及び5のベースに共通結合される。また、トランジスタ2のコレクタと回路の接地電位との間には、キャパシタC2が設けられる。キャパシタC1及びC2は、特に制限されないが、バイポーラトランジスタのエミッタ容量により形成され、単位遅延回路DC1の遅延時間に相当する所定の静電容量を持つように設計される。

トランジスタ3のコレクタは、回路の接地電位に結合され、そのエミッタと回路の電源電圧と

の間には、定電流源132が設けられる。これにより、トランジスタ3は、対応する定電流源132とともに、出力エミッタフォロワ回路を構成する。トランジスタ3のエミッタは、この単位遅延回路DC1の非反転出力端子3に結合される。同様に、トランジスタ4及び5のコレクタは、回路の接地電位に結合され、そのエミッタと回路の電源電圧との間には、定電流源133及び134がそれぞれ設けられる。これにより、トランジスタ4及び5は、対応する定電流源133及び134とともに、それぞれ出力エミッタフォロワ回路を構成する。トランジスタ4のエミッタは、この単位遅延回路DC1の反転出力端子4に結合される。また、トランジスタ5のエミッタは、この単位遅延回路DC1のワイヤフォア出力端子5に結合される。各単位遅延回路のワイヤフォア出力端子5は、他の単位遅延回路のワイヤフォア出力端子5と直接結合されることによって、結線経路和回路を構成する。

非反転入力端子1が反転入力端子2より低いロ

ウレベルとされると、トランジスタ2がオン状態となり、トランジスタ1はカットオフ状態となる。したがって、トランジスタ1のコレクタすなわちノードaの電位は、回路の接地電位のようなハイレベルとされ、トランジスタ2のコレクタすなわちノードbの電位は、定電流源131の電流値と負荷抵抗R1の抵抗値によって決まる所定のロウレベルとされる。ノードaのハイレベルは、トランジスタ4のベース・エミッタ電圧分だけシフトされた後、単位遅延回路DC1の反転出力端子4として出力される。また、ノードbのロウレベルは、トランジスタ3及び5のベース・エミッタ電圧分だけそれぞれシフトされた後、単位遅延回路DC1の非反転出力端子3及びワイヤフォア出力端子5とされる。

次に、非反転入力端子1が反転入力端子2より高いハイレベルとされると、トランジスタ2はカットオフ状態になり、代わってトランジスタ1がオン状態になろうとする。また、これにより、ノードaの電位がハイレベルから定電

流源131の電流値と負荷抵抗R1の抵抗値によって決まる所定のロウレベルに変化し、ノードbの電位がロウレベルから回路の接地電位のようなハイレベルに変化しようとする。ところが、前述のように、ノードa及びbと回路の接地電位との間には、所定の静電容量を持つキャパシタC1及びC2がそれぞれ設けられる。このため、ノードa及びbのレベルは、キャパシタC1の静電容量と定電流源131の電流値ならびにキャパシタC2の静電容量と負荷抵抗R2の抵抗値によって決まる所定の時間定数に従って徐々に変化し、これによりトランジスタ1及び2の状態が逆転する。その結果、単位遅延回路DC1の非反転出力端子3と反転出力端子4ならびにワイヤフォア出力端子5は、非反転入力端子1及び反転入力端子2に対して所定の遅延時間だけ遅れて変化するものとなる。

一方、遅延ゲート回路DC1~DC4は、第1図の遅延ゲート回路DC1に代表して示されるように、基本的に上記単位遅延回路DC1~DC4

を形成する回路構成とされ、送達回路D11を構成する単位送達回路として機能する。第3図において、トランジスタT6~T10と抵抗R3、R4及びキャパシタC3、C4ならびに定電流源I33~I38は、第1図のトランジスタT1~T5と抵抗R1、R2及びキャパシタC1、C2ならびに定電流源I31~I34にそれぞれそのまゝ対応する。トランジスタT8及びT7のコレクタは、それぞれノードa及びbとされ、トランジスタT8及びT7のベースは、それぞれ送達ゲート回路D01の非反転入力端子1及び反転入力端子Tとされる。以下、上記単位送達回路D01~D04と送達ゲート回路D01~D08の異なる部分について、説明を加える。

第3図において、送動トランジスタT6・T7の共通結合されたエミッタは、トランジスタT11のコレクタに結合される。トランジスタT11のエミッタは、送動型とされるトランジスタT12のエミッタに共通結合され、さらに定電流源I35を介して回路の電源電圧に結合される。ト

ランジスタT12のコレクタは、ノードcに共通結合され、そのベースは、この送達ゲート回路D01の制御入力端子eとされる。トランジスタT11のベースには、給電線備付メモリの図象されない定電圧発生回路から、所定の参照電圧V_{ref}が供給される。ここで、上記参照電圧V_{ref}は、制御入力端子eに供給される送達信号φ0~φ7のロウレベル及びハイレベルのほぼ中間レベルとされる。これにより、送動トランジスタT11・T12は、その制御入力端子eに供給される送達信号φ0~φ7に対して、上記参照電圧V_{ref}を給電スレッシュホールドレベルとする電圧スイッチ回路として機能する。

対応する送達信号φ0~φ7が参照電圧V_{ref}より低いロウレベルとされると、トランジスタT12はカットオフ状態となり、トランジスタT11がオン状態となる。したがって、送動トランジスタT6・T7は動作状態とされ、送達ゲート回路D01の非反転出力信号φと反転出力信号φ⁻ならびにワイヤードオア出力信号φ⁺は、上記第1図の

単位送達回路D01と同様に、非反転入力信号1及び反転入力信号Tによって送達的にハイレベル又はロウレベルとされる。

一方、対応する送達信号φ0~φ7が参照電圧V_{ref}より高いハイレベルとされると、トランジスタT11はカットオフ状態となり、代わってトランジスタT12がオン状態となる。したがって、送動トランジスタT6・T7は非動作状態とされ、ノードaは、トランジスタT12を介して強制的に所定のロウレベルとされる。このとき、ノードbは、送動トランジスタT6・T7が非動作状態とされることで、回路の接地電位のようなハイレベルとされる。これにより、送達ゲート回路D01の非反転出力信号φ⁺及びワイヤードオア出力信号φ⁺は、対応する送達信号φ0~φ7に關係なく、ロウレベルに固定され、反転出力信号φ⁻はハイレベルに固定される。

つまり、送達ゲート回路D01~D08は、その制御入力端子eに供給される送達信号φ0~φ7がロウレベルとされることで、上記単位送達回

路D01~D04と同様に、非反転入力端子1及び反転入力端子Tに供給される相補入力信号を所定の送達時間だけ送達させる単位送達回路として機能する。また、対応する送達信号φ0~φ7がロウレベルとされると、送達ゲート回路D01~D08の出力信号は、非反転入力信号1及び反転入力信号Tのレベルに關係なく、非反転出力信号φ⁺及びワイヤードオア出力信号φ⁺がハイレベルとされ反転出力信号φ⁻がロウレベルとされる論理"0"の状態に固定される。

第4図において、単位送達回路D01~D04のワイヤードオア出力端子φ⁺は共通結合され、ノードfとされる。これにより、ノードfは、単位送達回路D01~D04のうちいずれかのワイヤードオア出力信号φ⁺がハイレベルとされると、送達的にハイレベルとされる。ノードfは、さらにオアゲート回路O02の第2の入力端子に結合される。一方、送達ゲート回路D01~D04のワイヤードオア出力端子φ⁺は共通結合され、ノードgとされる。これにより、ノードgは、送

送ゲート回路DC1~DC4のうちいずれかのワイヤアア出力信号がハイレベルとされるとき、選択的にハイレベルとされる。ノーフ03は、さらにオアゲート回路OC2の第3の入力端子に結合される。同時に、送選ゲート回路DC3~DC6のワイヤアア出力端子は共通結合され、ノーフ04とされる。これにより、ノーフ04は、送選ゲート回路DC3~DC6のうちいずれかのワイヤアア出力信号がハイレベルとされるとき、選択的にハイレベルとされる。ノーフ04は、さらにオアゲート回路OC3の第4の入力端子に結合される。

これらのことから、オアゲート回路OC2の非反転出力信号03は、パルス延滞回路PWEと単位遅延回路DC1~DC4及び送選ゲート回路DC3~DC6のうちいずれかの出力信号がハイレベルとされるとき、選択的にハイレベルとされる。オアゲート回路OC3の反転出力信号05は、上記非反転出力信号03と相補的にハイレベルとされる。前述のように、送選ゲート回路DC1~D

C6のワイヤアア出力信号08は、対応する選択信号00~07がハイレベルとされることで、選択的にローレベルに固定される。これにより、そのワイヤアア出力信号08が固定される送選ゲート回路の段級に接続されるすべての送選ゲート回路のワイヤアア出力信号08は、同時にローレベルに固定される。つまり、オアゲート回路OC3は、上記パルス延滞回路PWEと単位遅延回路DC1~DC4及び送選ゲート回路DC3~DC6の出力信号に対するオアゲート回路として機能し、あわせて選択信号00~07によって選択的に行動とされる送選ゲート回路DC1~DC6とともに、出力選択回路SEL1を構成するものである。言うまでもなく、オアゲート回路OC2の出力信号03のパルス幅は、選択信号00がハイレベルとされるときに最小となり、パルス延滞回路PWEの出力信号01のパルス幅に単位遅延回路DC1~DC4の合計遅延時間を加えた値となる。また、オアゲート回路OC2の出力信号05のパルス幅は、選択信号00~07がすべてローレベル

とされるときに最大となり、パルス延滞回路PWEの出力信号01のパルス幅に単位遅延回路DC1~DC4及び送選ゲート回路DC3~DC6の合計遅延時間を加えた値となる。これにより、送選回路DL1は、オアゲート回路OC2の出力信号03において伝送する寄与込みパルスすなわちタイミング信号00のパルス幅を決定する遅延回路として作用するものとなる。

オアゲート回路OC2の非反転出力信号03及び反転出力信号05は、送選回路DL2の単位遅延回路DC5の非反転入力端子1及び反転入力端子2にそれぞれ供給される。また、反転出力信号05は、前述のように、アンフゲート回路AC1の一方の入力端子に供給され、非反転出力信号03は、出力選択回路SEL2のアンフゲート回路AC2の一方の入力端子に供給される。

送選回路DL2は、特に制限されないが、その非反転出力端子、及び反転出力端子と非反転入力端子1及び反転入力端子2が順次結合されることによって成列形成とされる3個の単位遅延回路

DC5~DC7により構成される。これらの単位遅延回路DC5~DC7は、特に制限されないが、上記単位遅延回路DC1~DC4と同一の回路構成とされ、その非反転出力信号03は、それぞれノーフ06~08とされる。ノーフ06は、さらに出力選択回路SEL2のアンフゲート回路AC2の一方の入力端子に供給される。同時に、ノーフ07及び08は、さらに出力選択回路SEL2のアンフゲート回路AC4及びAC3の一方の入力端子にそれぞれ供給される。

単位遅延回路DC5~DC7からなる送選回路DL2は、所定のパルス幅を持つオアゲート回路OC2の出力信号03を、そのパルス幅を変化させることなく順次全体的に遅延させる。

アンフゲート回路AC1~AC3の他方の入力端子には、特に利用されないが、上記デコードDEC2から、対応する選択信号00~07がそれぞれ供給される。アンフゲート回路AC2の出力信号は、オアゲート回路OC3の第1の入力端子に供給される。同時に、アンフゲート回路AC3

—A C 3 の出力信号は、上記オアゲート回路 O C 3 の第 1—第 4 の入力端子にそれぞれ供給される。これにより、オアゲート回路 O C 3 の出力信号は、上記アンドゲート回路 A C 3—A C 5 のうちいずれかの出力信号がハイレベルとされるとき、選択的にハイレベルとされる。つまり、アンドゲート回路 A C 3—A C 5 及びオアゲート回路 O C 3 からなる出力選択回路 S B L 3 は、選択信号 0—3 が択一的にハイレベルとされることで、出力選択回路 S B L 3 又は逆送回路 D L 1 の対応する出力信号 0—3 を選択的に伝送する作用を持つものとなる。

オアゲート回路 O C 3 の出力信号は、アンドゲート回路 A C 6 の一方の入力端子に供給される。このアンドゲート回路 A C 6 の他方の入力端子には、上記フリップフロップ回路 F F 1 の出力信号すなわち内部制御信号 00 が供給される。これにより、アンドゲート回路 A C 6 の出力信号すなわち書き込みパルス信号 01 は、出力選択回路 S B L 3 の出力信号と

内部制御信号 00 がともにハイレベルとされるとき、選択的にハイレベルとされる。つまり、この実施例の論理回路付メモリのタイミグ発生回路 T C において、クロック信号 C K をもとに形成されるオアゲート回路 O C 3 すなわち出力選択回路 S B L 3 の出力信号は、動作モードに関係なく常時形成され、論理回路付メモリがそのタイトルにおいて書き込みモードとされ内部制御信号 00 がハイレベルとされるとき、選択的にタイミグ信号 00 とされ、バイポーラ R A M のライトアップ W A に供給される。

第 5 図には、第 1 図のタイミグ発生回路 T C の一実施例のタイミグ図が示されている。同図には、パルス幅選択信号 W S 0—W S 3 が選択信号 00 をハイレベルとする組み合わせとされ、セットアップ時間選択信号 S S 0、S S 1 が選択信号 01 をハイレベルとする組み合わせとされる場合が、例示的に示される。第 5 図により、この実施例のタイミグ発生回路 T C の書き込みパルス発生回路の動作の概要を説明する。

第 5 図において、クロック信号 C K は、特に制限されないが、比較的小さなデューティを持つ周期的なパルスとされる。論理回路付メモリの動作は、特に制限されないが、このクロック信号 C K の 1 周期を 1 ノモリサイクルとして実行され、各ノモリサイクルの動作モードは、ライトイネーブル信号 W E に従って決定される。このため、クロック信号 C K がハイレベルとされるのに先立って、ライトイネーブル信号 W E がロウレベルからハイレベルとされ、同時に所定の入力データ D 0—D 10 が供給される。また、パルス幅選択信号 W S 0—W S 3 が選択信号 00 をハイレベルとする組み合わせで供給され、セットアップ時間選択信号 S S 0、S S 1 が選択信号 01 をハイレベルとする組み合わせで供給される。

タイミグ発生回路 T C では、パルス幅選択信号 W S 0—W S 3 の組み合わせに応じて、デコーダ D E C 1 の出力信号すなわち選択信号 0—6 が択一的にハイレベルとされ、セットアップ時間選択信号 S S 0、S S 1 の組み合わせに応じて、デコ

ダ D E C 2 の出力信号すなわち選択信号 0—1 が択一的にハイレベルとされる。また、クロック信号 C K の立ち上がりエッジにおいて、ライトイネーブル信号 W E がハイレベルであることから、フリップフロップ回路 F F 1 がセット状態となり、書き込みモード信号すなわち内部制御信号 00 がハイレベルとされる。

一方、クロック信号 C K は、オアゲート回路 O C 1 を経て、パルス幅選択回路 P W E に供給され、その結果、クロック信号 C K の 1 周期のパルス幅を持つパルス幅選択回路 P W E の出力信号 01 が形成される。この出力信号 01 は、オアゲート回路 O C 3 に供給され、その出力信号 03 をハイレベルに立ち上げるとともに、単位遅延回路 D C 1—D C 4 及び逆送ゲート回路 D C 1—D C 6 からなる逆送回路 D L 1 に供給される。

この実施例では、前述のように、選択信号 0—6 が択一的にハイレベルとされる。したがって、上記パルス幅選択回路 P W E の出力信号 01 は、そのままのパルス幅で逆送ゲート回路 D C 6 の出力端

子で送達され、送達ゲート回路D01から後段の送達ゲート回路D01及びD02の出力信号がロウレベルに固定される。このため、ノーフォロ及びF01は、パルス発生回路PWEの出力信号F01のパルス幅に、それぞれ対応する単位遅延回路D01〜D04及び送達ゲート回路D01〜D04の合計遅延時間を加えた期間だけハイレベルとされる。また、ノーフォロF04は、パルス発生回路PWEの出力信号F01のパルス幅に等価とされる送達ゲート回路D05及びD06の合計遅延時間を加えた期間だけハイレベルとされる。

オアゲート回路O02の出力信号O05は、前述のように、パルス発生回路PWEの出力信号F01がハイレベルとされることでハイレベルとされ、ノーフォロF04がロウレベルとされることでロウレベルに戻される。これにより、オアゲート回路O02の出力信号O05のパルス幅は、パルス発生回路PWEの出力信号F01のパルス幅に遅延回路DL1を構成する単位遅延回路D01〜D04及び送達ゲート回路D01〜D06の合計遅延時間を加

えた値となる。

オアゲート回路O02の出力信号O05は、さらに遅延回路DL1を構成する単位遅延回路D05〜D07によって、その2重のパルス幅で遅延され、出力信号O05〜O07が形成される。これらの出力信号O05及びO06〜O07は、前述のように、出力選択回路SEL1の対応するアンドゲート回路AC1〜AC3にそれぞれ供給される。

この実施例では、前述のように、選択信号S1が統一的にハイレベルとされる。このため、アンドゲート回路A03が統一的に伝達状態とされ、遅延回路DL1の単位遅延回路D05の出力信号O05のみが、出力選択回路SEL1の出力信号として伝達される。出力選択回路SEL1の出力信号は、このメモリアルにおいて論理回路付メモリが書き込みモードとされ内部制御信号W00がハイレベルとされることから、書き込みパルスすなわちタイミング信号W00とされ、ライトアンブワムに供給される。この実施例において、書き込みパルスすなわちタイミング信号W00は、パ

ルス発生回路PWEの出力信号F01のパルス幅に遅延回路DL1を構成する単位遅延回路D01〜D04及び送達ゲート回路D01〜D06の合計遅延時間を加えた所定のパルス幅を持ち、またパルス発生回路PWEと遅延回路DL1の単位遅延回路D05の合計遅延時間によって決まる所定のセットアップ時間を持つものとなる。

以上のように、この実施例の論理回路付メモリは、書き込みパルス発生回路を含むタイミング発生回路TCを内蔵し、クロック信号CK及びライトイネーブル信号WEをもとに所定のパルス幅及びセットアップ時間を持つ書き込みパルスを内部で自律的に形成する機能を有する。タイミング発生回路TCの書き込みパルス発生回路には、上記書き込みパルスのパルス幅を決定する遅延回路DL1と、セットアップ時間を決定する遅延回路DL2が含まれる。これらの遅延回路は、外部端子を介して供給されるパルス選択信号WS0〜WS1又はセットアップ時間選択信号SS0、SS1によって選択的に有効とされる複数の単位遅延

回路及び送達ゲート回路によって構成され、その実質的な遅延時間が上記パルス選択信号WS0〜WS2及びセットアップ時間選択信号SS0、SS1によって制御される。このため、この実施例の論理回路付メモリは、半製品又は製品完成後の段階でも、マスク変更を必要とすることなく、書き込みパルスのタイミング条件を最適化することができる。これにより、この実施例の論理回路付メモリは、その開発期間を短縮し、製品の作りを高めることができるものである。

以上の本実施例に示されるように、この発明をバイポーラRAMを基本構成とする論理回路付メモリ等の半導体集積回路装置に適用した場合、次のような効果が見られる。すなわち、(1)論理回路付メモリの書き込みパルス発生回路等に含まれる遅延回路を直列形態とされる複数の単位遅延回路によって構成し、これらの単位遅延回路の出力信号を選択信号によって選択的に伝達する出力選択回路と、所定の選択制御信号をデコードして上記選択信号を統一的に形成するデコード

とを設けることで、送込回路の送込時間を調整できるという効果が得られる。

四上記四項により、本製品あるいは製品完成後において、パッド又は外部端子から上記送込制御信号を供給することで、マスク等の改良を必要とすることなく、論理回路付ノモリの書き込みパルス等のパルス幅やセットアップ時間等を調整できるという効果が得られる。

四上記四項及び四項により、論理回路付ノモリの開発期間を短縮し、その低コスト化を図ることができるという効果が得られる。

四上記四項及び四項により、論理回路付ノモリの生産工程において、その製品歩留りを高めることができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可成であることはいうまでもない。例えば、パルス幅選択信号WS0～WS2及びセットアップ時間選択信号SS0、SS1は、

ブローブ探針の探針で内部パッドを介して供給されるものであるとしてもよいし、そのビット数は任意である。また、これらのパルス幅選択信号及びセットアップ時間選択信号は、デコードによってデコードされることなく、直接選択信号として供給されることもよい。第1図において、送込制御D11は、送込ゲート回路D01～D08を単位送込回路に置き換えることもできる。この場合、選択信号WS0～WS7に従って対応する単位送込回路の出力信号を伝達する選択回路とオアゲート回路を別途必要とする。第1図の実施例では、ライトイネーブル信号WEに代わり、クロック信号CKをもとに所定のパルス幅やセットアップ時間を持つ信号を生成した後、内部回路信号wmと論理値をとることで、タイミング信号φwmを生成しているが、送込制御D11の構成でクロック信号CKとライトイネーブル信号WEの論理値をとった後、そのパルス幅及びセットアップ時間を調整する方法もよい。書き込みパルス発生回路は、上記パルス幅選択信号WS0～WS2及びセットア

ップ時間選択信号SS0、SS1が供給されないとき、自動的に書き込みパルスのパルス幅及びセットアップ時間をその直前の状態の中心値とするものであってよい。第4図において、メモリアレイMEMRYは複数のメモリマツトにより構成されるものであってもよいし、バイポーラRAMは、カム選択回路を持つものであってもよい。さらに、第1図に示されるタイミング発生回路TGや第2図及び第3図に示される単位送込回路及び送込ゲート回路の具体的な回路構成と第4図に示される論理回路付ノモリのブロック構成ならびに制御信号やタイミング信号の組み合わせ等、種々の実施形態を採りうる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である論理回路付ノモリの書き込みパルス発生回路に適用した場合について説明したが、それに限定されるものではなく、例えば、論理回路付ノモリのその他のパルス発生回路や論理回路付ノモリを含む種のデジタル装置等にも適用できる。本発明は、

少なくとも送込回路を含むタイミング発生回路あるいはこのようなタイミング発生回路を含む半導体装置に適用される。

【発明の効果】

本発明において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、論理回路付ノモリの書き込みパルス発生回路等に含まれる送込回路を直列形態とされる複数の単位送込回路によって構成し、これらの単位送込回路の出力信号を選択信号に従って選択的に伝達する出力選択回路と、所定の選択制御信号をデコードして上記選択信号を一時的に形成するデコードとを設けることで、本製品あるいは製品完成後において、パッド又は外部端子から上記送込制御信号を供給することにより、マスク等の改良を必要とすることなく、論理回路付ノモリの書き込みパルス等のパルス幅やセットアップ時間等を調整できる。これにより、論理回路付ノモリの開発期間を短縮し、その製品歩留りを高めることができる。

1. 図面の簡単な説明

第1図は、この発明が適用された論理回路付メモリのタイミング発生回路の一例を示す回路図。

第2図は、第1図のタイミング発生回路に含まれる単位遅延回路の一例を示す回路図。

第3図は、第1図のタイミング発生回路に含まれる遅延ゲート回路の一例を示す回路図。

第4図は、第1図のタイミング発生回路を含む論理回路付メモリの一例を示すブロック図。

第5図は、第1図のタイミング発生回路の一例を示すタイミング図である。

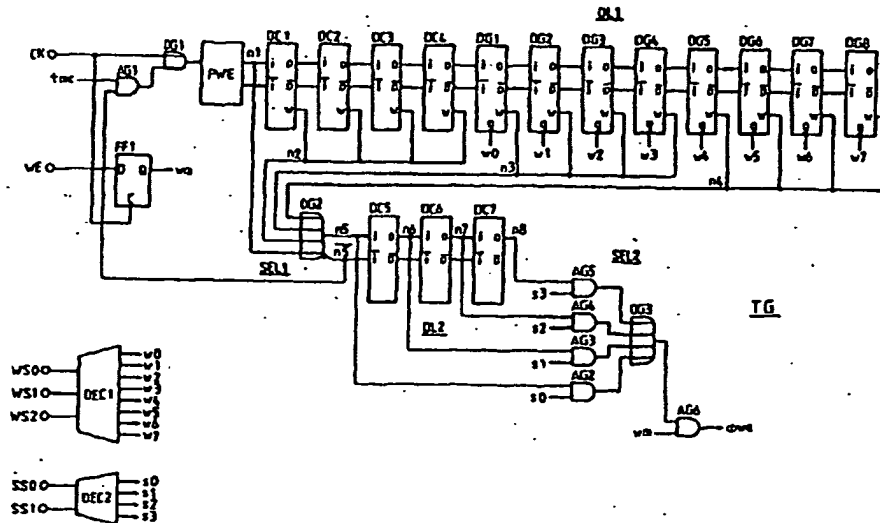
T0・・・タイミング発生回路、PWE・・・パルス反転回路、DL1、DL2・・・遅延回路、DC1～DC7・・・単位遅延回路、DG1～DG8・・・遅延ゲート回路、SEL1、SEL2・・・出力選択回路、DEC1、DEC2・・・デコード、FF1・・・フリップフロップ回路、AG1～AG6・・・アンドゲート回路、OG1～OG3・・・オアゲート回路。

T1～T13・・・トランジスタ、R1～R4・・・抵抗器、C1～C4・・・キャパシタ、IS1～IS8・・・定電流源。

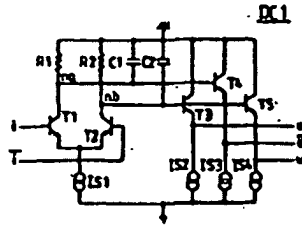
MARY・・・メモリアレイ、AO・・・アドレスデコード、ADB・・・アドレスバッファ、WA・・・ライトアンプ、RA・・・リードアンプ、DIB・・・データ入力バッファ、DOB・・・データ出力バッファ。

代理人 弁士 渡部 光政

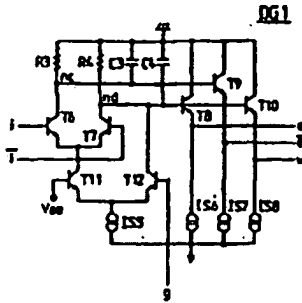
第1図



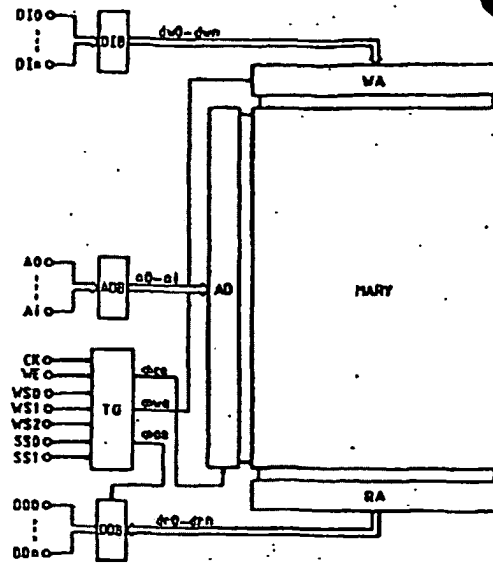
第 2 図



第 3 図



第 4 図



第 5 図

